

• 研究论文 •

自组装超薄膜修饰 Ta₂O₅ 介质膜及其特性研究

杨亚杰* 徐建华 蒋亚东 闻俊峰

(电子薄膜与集成器件国家重点实验室 电子科技大学光电信息学院 成都 610054)

摘要 采用静电自组装方法在五氧化二钽(Ta₂O₅)介质氧化膜上制备了聚二烯丙基二甲基氯化铵(PDDA)/聚苯乙烯磺酸钠(PSS)和聚二烯丙基二甲基氯化铵/聚-3,4-乙烯二氧噻吩-聚苯乙烯磺酸钠(PEDOT-PSS)超薄膜。研究了两种自组装超薄膜在 Ta₂O₅ 介质氧化膜上的组装特性。结果表明两种自组装膜能够稳定地组装于 Ta₂O₅ 介质膜表面,并有效降低薄膜的表面粗糙度。进一步研究了两种自组装超薄膜修饰的 Ta₂O₅ 电容结构的电性能。结果表明静电自组装膜对 Ta₂O₅ 介质膜表面进行修饰后,有效地隔离了介质氧化膜中的缺陷,降低了电容的漏电流并提高耐压能力;研究还发现不同厚度的超薄膜对 Ta₂O₅ 电容结构的耐压特性有不同程度的影响,较厚的薄膜可以更好地提高电容的耐压能力并降低漏电流,但会增加电容的等效串联电阻(ESR)。另外,在相同薄膜层数的情况下,聚合物电解质 PEDOT-PSS 良好的导电性能降低了复合超薄膜的电阻,使得 PDDA/PEDOT-PSS 修饰的电容结构 ESR 值较低。

关键词 静电自组装; Ta₂O₅; 耐压能力; 等效串联电阻; 漏电流

Preparation and Characterization of Ta₂O₅ Films Surface Modified by Electrostatic Self-assembly Ultrathin Films

Yang, Yajie* Xu, Jianhua Jiang, Yadong Wen, Junfeng

(State Key Lab of Electronic Thin Films & Integrated Devices, School of Optoelectronic Information, University of Electronic Science and Technology of China (UESTC), Chengdu 610054)

Abstract Ultrathin films of poly-diallyldimethylammonium chloride (PDDA)/polystyrene sulfonate (PSS) and PDDA/poly(3,4-ethylene dioxothiophene)-polystyrene sulfonate (PEDOT-PSS) were constructed on Ta₂O₅ films through layer-by-layer electrostatic self-assembly (ESA) method for a surface modification purpose. The self-assembly ability of PDDA/PSS and PDDA/PEDOT-PSS ultrathin films on Ta₂O₅ film was investigated. The results showed that the ESA ultrathin films can be constructed on Ta₂O₅ film surface with a layer-by-layer deposition method, and the Ta₂O₅ film covered with ESA film exhibited smoother surface roughness compared with Ta₂O₅ film without surface modification. Moreover, the electronic performance of Ta/Ta₂O₅/ESA films/polymer film capacitor structure was investigated. The results revealed that the capacitor composed of ultrathin ESA film exhibited better anti-voltage endurance ability and less leakage current, which resulted from the isolation of leakage current channel in Ta₂O₅ films because of surface coverage of ultrathin ESA film on Ta₂O₅. It also can be found that the thicker ultrathin ESA film for surface modification resulted in better anti-voltage endurance ability and higher equivalent series resistance (ESR) of Ta₂O₅ capacitor. The further investigation confirmed that lower ESR of capacitor composed of PDDA/PEDOT-PSS ESA films because of high conductive ability of PEDOT-PSS.

Keywords electrostatic self-assembly; Ta₂O₅; anti-voltage endurance ability; equivalent series resistor;

* E-mail: jj_eagle@163.com

Received July 19, 2011; revised November 20, 2011; accepted December 6, 2011.

Project supported by the National Natural Science Foundation of China (No. 61101029) and the Fundamental Research Funds for the Central Universities (No. ZYGX2010J057).

国家自然科学基金(No. 61101029)和中央高校科研基本业务费(No. ZYGX2010J057)资助项目。

leakage current

自组装方式形成的超薄膜具有有序性高、平整度好、膜的厚度分子水平可控以及不受基底形状限制等优点^[1-3]. 近 10 多年来, 随着人们对界面化学研究的深入以及对具有特定功能的薄膜材料的需求, 使自组装超薄膜的研究成为一个热点. 自组装超薄膜有共价键、静电引力、氢键、配位键等几种组装方式, 可以根据材料和实际的用途加以选择^[4,5]. Decher 等提出的在带电表面上通过聚阴离子和聚阳离子交替沉积法(Electrostatic self-assembly, ESA)构筑多层异质结构膜的方法具有薄膜结构稳定, 不依赖基片形貌、对设备要求低的优点, 被广泛地应用于中间过渡层及电极结构表面修饰等方面^[6-8].

采用静电自组装超薄膜对基体薄膜进行表面修饰, 可以对被修饰薄膜的表面进行改性, 同时使得被修饰薄膜的光电、介电特性得到一定程度的改变. 介质氧化膜(如 Ta_2O_5)通常以薄膜或超薄膜的形态作为介电器件(如电容)的关键组成部分, 其质量的好坏决定了器件的耐压、漏电流等特性^[9,10]. 但通常在化学、电化学制备 Ta_2O_5 介电薄膜的过程中, 不可避免地会引入杂质和缺陷, 使得原本较为脆弱的介质氧化膜的一些特性, 如耐压特性等变差. 因此为了提高介质氧化膜的耐压等特性, 一方面需要优化工艺来减少制备过程中所产生的缺陷^[11,12]; 另一方面, 对介质膜进行表面修饰, 隔离缺陷和杂质所引起的漏电流也是提高其耐压等特性的重要手段, 但目前这方面的研究报道很少.

本文采用静电自组装方法在 Ta_2O_5 介质氧化膜上制备聚二烯丙基二甲基氯化铵(PDDA)/聚苯乙烯磺酸钠(PSS)和聚二烯丙基二甲基氯化铵/聚-3,4-乙烯二氧噻吩-聚苯乙烯磺酸钠(PEDOT-PSS)超薄膜, 对 Ta_2O_5 介质膜进行表面修饰, 研究静电自组装膜在不同形态 Ta_2O_5 介质膜上的组装过程. 并进一步研究 Ta_2O_5 表面修饰后的 $\text{Ta}/\text{Ta}_2\text{O}_5/\text{ESA film}/\text{Polymer}$ 电容结构的电性能, 如耐压特性、漏电流特性、等效串联电阻等, 并对相应的薄膜组装及器件工作机理进行了深入的讨论.

1 实验

1.1 试剂与仪器

聚电解质聚二烯丙基二甲基氯化铵(PDDA)、聚苯乙烯磺酸钠(PSS)和聚-3,4-乙烯二氧噻吩/聚苯乙烯磺酸钠(PEDOT-PSS)及其它化学试剂均购于 Aldrich(美国). 单体 3,4-乙烯二氧噻吩(EDOT)、甲基苯磺酸铁氧化剂购

于德国拜耳公司; 实验用水为超纯水(UPH 超纯水系统, 成都康宁实验专用纯水设备厂).

主要实验及测试仪器: ZK-82V9 型真空干燥箱(成都弘宇烘箱制造厂); SZ82 数字四探针测试仪(苏州白神科技有限公司); Scienta ESCA200 型 X 射线光电子能谱(XPS)分析仪(英国)(真空度为 3×10^{-10} Pa, 单色 Al K α 射线源); SEM4200 型扫描电子显微镜(日本 JEOL 公司); Keithley4200 半导体测试仪; 静电自组装超薄膜的制备在 Dip-coater 成膜系统(KSV, 芬兰)中进行.

1.2 Ta_2O_5 介质氧化膜的制备

取金属 Ta 片(厚 200 μm)或压制成型的钽块(3.1 cm $\times$ 2.2 cm $\times$ 1.5 cm)进行表面洁净处理, 处理后放入 120 $^\circ\text{C}$ 真空烘箱进行干燥后待用. 配置 8% 的磷酸溶液, 并加热至 (65 ± 5) $^\circ\text{C}$. 然后将金属钽片(或钽块)放入磷酸溶液中进行 Ta_2O_5 介质膜形成, 形成电压为 35 V, 电流密度为 0.5 mA/g, 形成时间为 2 h. 形成介质氧化膜的示意图及沉积自组装膜后获得的电容结构如图 1 所示.

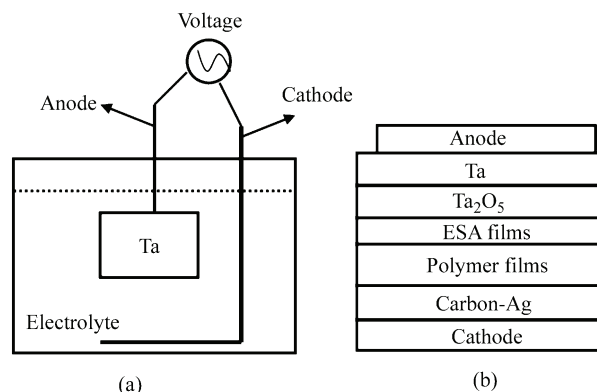


图 1 (a) Ta_2O_5 介质氧化膜形成及(b)ESA 膜修饰 Ta_2O_5 表面后获得的电容结构示意图

Figure 1 Schematic illustration of (a) formation of Ta_2O_5 dielectric film and (b) Ta_2O_5 with surface modification by ESA films capacitor structure

1.3 静电自组装膜及电容结构的制备

配置聚合物静电自组装溶液所用水为超纯水(pH = 5.8, 电阻率 $> 18 \text{ M}\Omega$). PDDA, PSS 的浓度为 1.5 mg/mL, PEDOT-PSS 导电聚合物聚电解质的浓度为 1 mg/mL. 将形成介质氧化膜的钽片或钽块首先浸入 PDDA 溶液 15 min, 然后氮气吹干; 接着再浸入 PSS(或 PEDOT-PSS)溶液 20 min, 再用氮气吹干, 此为一个循环(2 层膜); 然后根据实验所需进行多个循环浸渍, 在 Ta_2O_5 介质氧化膜上获得一定厚度的聚合物超薄膜.

在获得的聚合物超薄膜上采用化学原位聚合的方法沉积聚合物膜作为阴极, 并被覆石墨、银浆作为电极引出, 获得的电容结构如图 1(b)所示. 然后对电容结构进行电性能测试, 测试均在室温下进行.

2 实验结果与讨论

2.1 聚电解质在 Ta₂O₅ 氧化膜上的自组装特性

图 2(a)和 2(b)分别为 Ta₂O₅ 钽片及被覆了 10 层

PDDA/PEDOT-PSS 薄膜后的表面形貌. 由图可见对于片状结构, 聚合物膜能够稳定地组装于 Ta₂O₅ 介质膜上, 对介质膜进行表面修饰. 另外, 我们还发现沉积了静电自组装膜的介质氧化膜表面相比未沉积之前粗糙度有一定程度的降低, 表明这种由柔性聚合物组成的超薄膜不仅可以稳定地吸附于 Ta₂O₅ 介质膜表面, 还对降低介质膜的表面粗糙度具有一定的作用, 这对降低 Ta₂O₅ 电容发生短路的几率起到了良好的作用^[7]. 图 2(c)为被覆了 20 层 PDDA/PEDOT-PSS 薄膜后 Ta₂O₅ 钽片的表面形

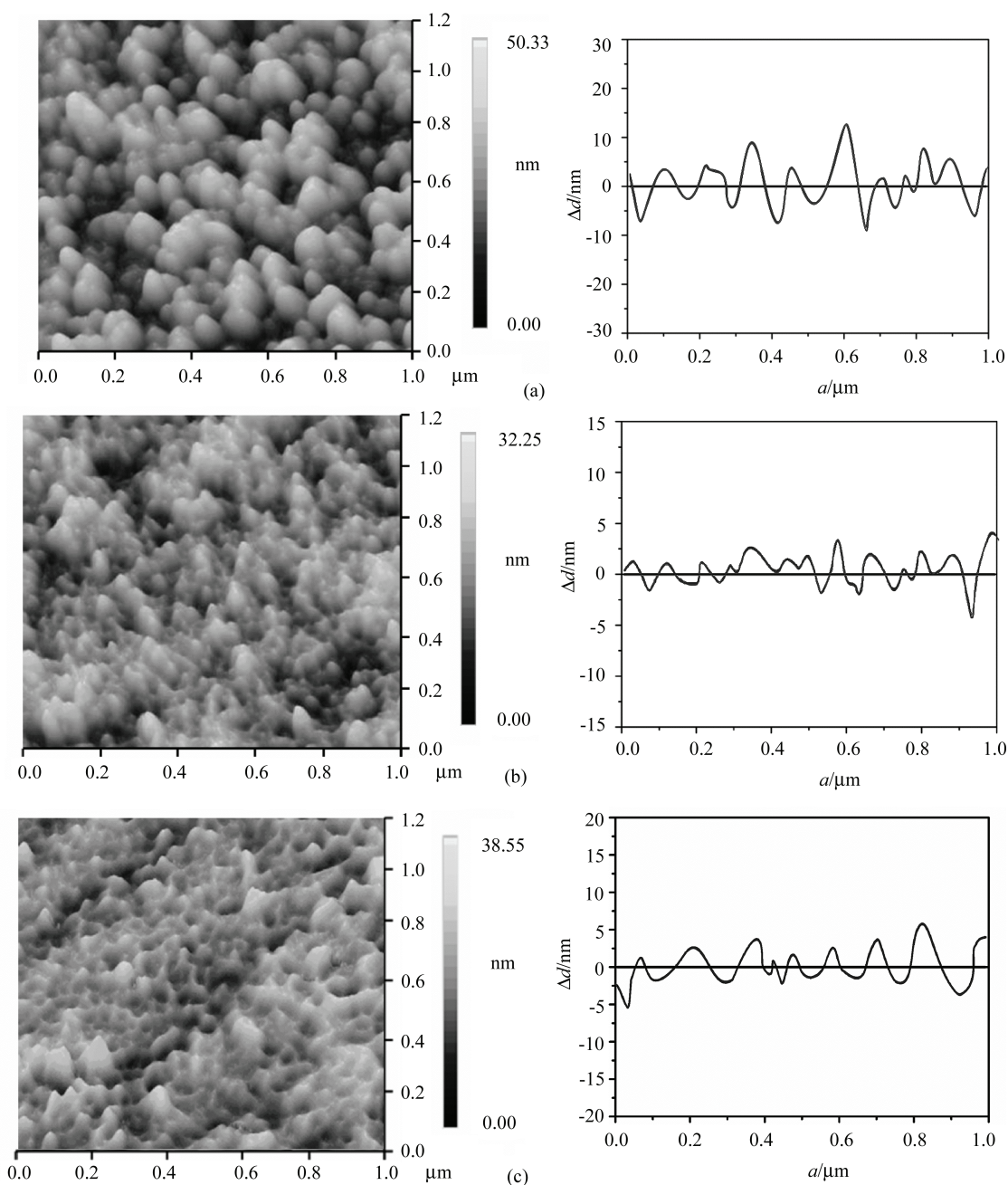


图 2 表面形貌及表面粗糙度比较(a) Ta₂O₅ 氧化膜; (b)沉积 10 层 PDDA/PEDOT-PSS; (c)沉积 20 层 PDDA/PEDOT-PSS

Figure 2 Surface morphology and roughness images of (a) as-prepared Ta₂O₅ film, (b) covered with 10 layers PDDA/PEDOT-PSS and (c) covered with 20 layers PDDA/PEDOT-PSS

貌, 由图可见在被覆较多层数的超薄膜后, 对介质氧化膜的表面仍具有降低表面粗糙度的作用, 表明如能良好控制静电自组装条件, 不同厚度的超薄膜均可以有效降低 Ta_2O_5 薄膜表面粗糙度。

我们还研究了静电自组装膜在多孔状 Ta_2O_5 表面的组装特性, 结果如图 3 所示。由图可见, 对于这种多孔状的特殊结构, 采用静电自组装的方式聚合物电解质超薄膜仍然可以有效地在基底表面进行沉积, 对多孔状

Ta_2O_5 介质膜表面进行包裹。XPS 分析发现被覆了静电自组装膜后有 PEDOT 中的 S 峰的出现, 未发现 Ta 峰的出现, 表明 PEDOT-PSS 自组装膜很好地被覆于介质膜表面, 形成了致密均匀的超薄膜修饰层。

我们研究了两种超薄膜沉积于片状 Ta_2O_5 介质膜后的导电性情况, 结果如图 4 所示。由图可见, 随自组装膜层数的增加, 薄膜的导电性逐渐增强, 在达到 20 个沉积循环(40 层)后薄膜的电导率趋于稳定, 表明此时获得

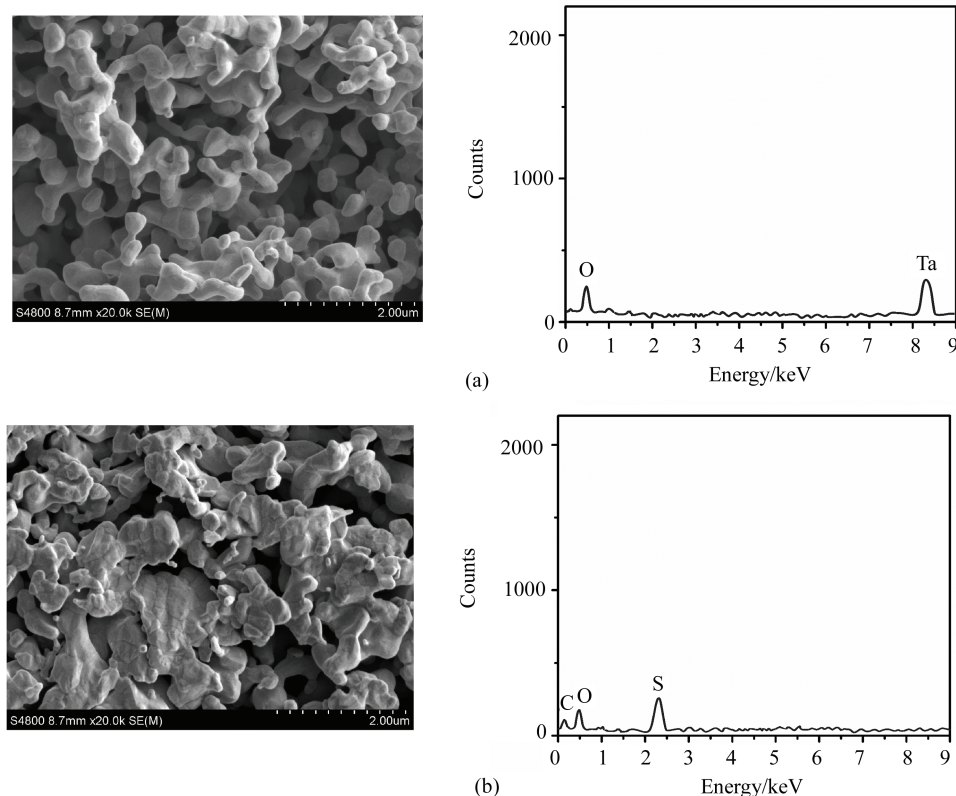


图 3 (a)多孔状 Ta_2O_5 介质氧化膜和(b)被覆了 10 层静电自组装膜后的表面形貌及 XPS 分析

Figure 3 Surface morphology and XPS analysis of (a) as-prepared porous Ta_2O_5 film and (b) modified by 10 layers PDPA/PEDOT-PSS ultrathin films

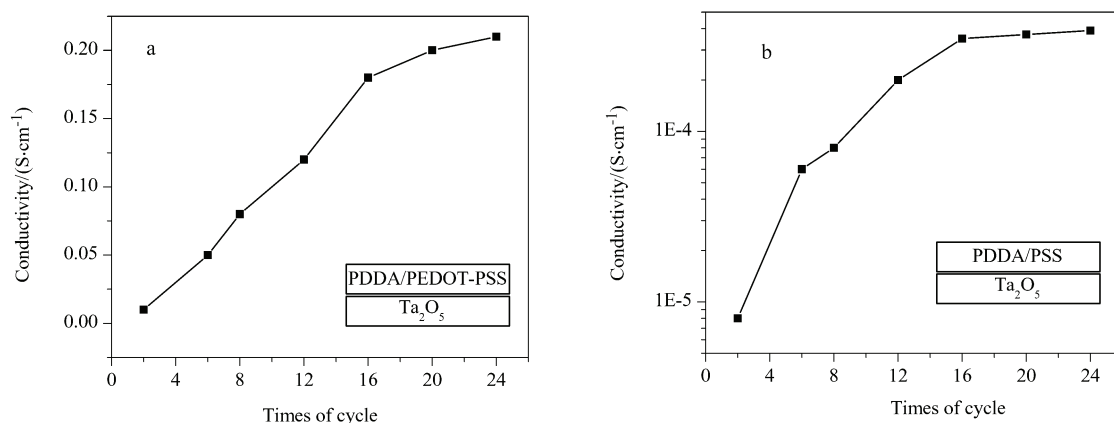


图 4 不同层数的(a) PDPA/PEDOT-PSS 和(b) PDPA/PSS 组装于 Ta_2O_5 介质膜上电导率变化曲线

Figure 4 Relationship of conductivity versus layers of (a) PDPA/PEDOT-PSS films and (b) PDPA/PSS films constructed on Ta_2O_5

的自组装超薄膜已形成连续薄膜, 对外表现出稳定的导电性^[13]. 但两种超薄膜的导电性却有明显的差距, PDDA/PSS 膜的电导率约为 10^{-4} S/cm, 而 PDDA/PEDOT-PSS 的电导率达到了 0.25 S/cm. 我们认为这是由于阴离子聚电解质 PEDOT-PSS 为导电聚合物 PEDOT 掺杂 PSS 后形成的聚合物, 具有良好的导电能力, 因此通过静电自组装构成的 PDDA/PEDOT-PSS 复合膜亦具有一定的导电能力. 而 PDDA/PSS 复合膜中两种组分均为导电性差的聚合物材料, 组装后的多层膜对外亦表现出较弱的导电性.

我们还研究了自组装超薄膜对 Ta₂O₅ 电容结构(如图 1(b)所示)等效串联电阻(ESR)的影响. 图 5 为沉积于片状介质氧化膜表面自组装膜对电容结构 ESR 的影响. 由图可见对于基底为片状的 Ta₂O₅ 介质膜表面, PDDA/PSS 自组装膜对电容的等效串联电阻影响较大, 当薄膜层数为 12 层时, 电容的 ESR 值已有明显的变化. 而 PDDA/PEDOT-PSS 自组装膜对电容的 ESR 影响相对较小, 当薄膜的层数为 20 层时, ESR 值才有很小的变化,

这一现象与两种膜的导电特性研究结果相一致. 由于 PDDA/PEDOT-PSS 具有良好的导电性能, 因此反映出来的电阻随薄膜厚度的增加变化较小, 对整个电容的 ESR 影响也较小. 而 PDDA/PSS 复合膜导电性能差, 随成膜次数的增加电容的 ESR 增加亦较为明显. 过大的等效串联电阻会使电容发热严重, 并在阴极制备过程中影响后续聚合物薄膜的沉积, 因此在保证 Ta₂O₅ 氧化膜有良好的绝缘特性和较小漏电流的情况下应选取厚度合适的超薄膜, 以降低电容 ESR.

对于多孔状的电容结构, 实验结果(如图 6 所示)表明随自组装薄膜层数的增加, 电容的 ESR 值逐渐增加, 但 PDDA-PSS 超薄膜对 ESR 的影响程度已不如片状结构中所表现出的那么明显. 这是由于多孔状 Ta₂O₅ 结构内部表面状态复杂, 要实现均匀致密的超薄膜沉积较为困难, 若孔洞内部的自组装薄膜出现不连续, 将直接影响到并联后电容的 ESR, 因此, 成膜次数的增加对电容 ESR 的影响会不如片状电容结构明显.

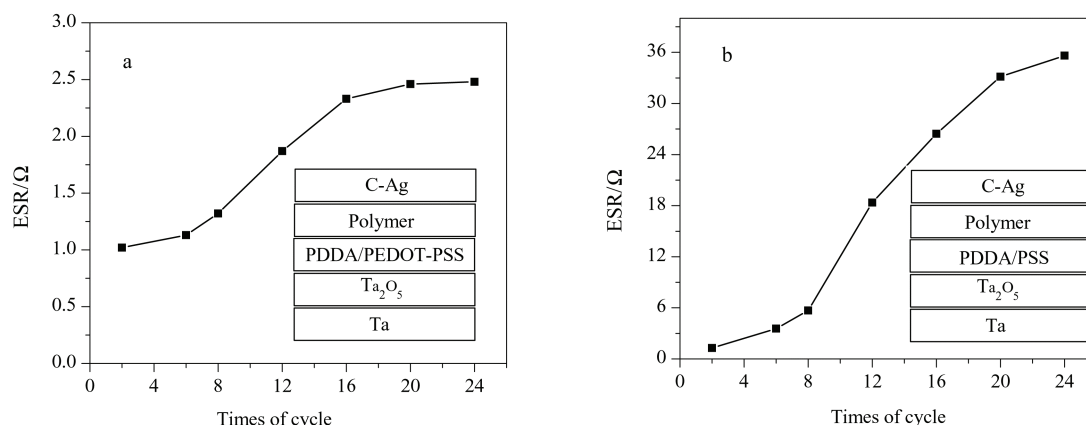


图 5 沉积不同层数自组装超薄膜对 Ta₂O₅ 电容等效串联电阻的影响

Figure 5 The influence of ESA film layers on ESR of Ta₂O₅ capacitor

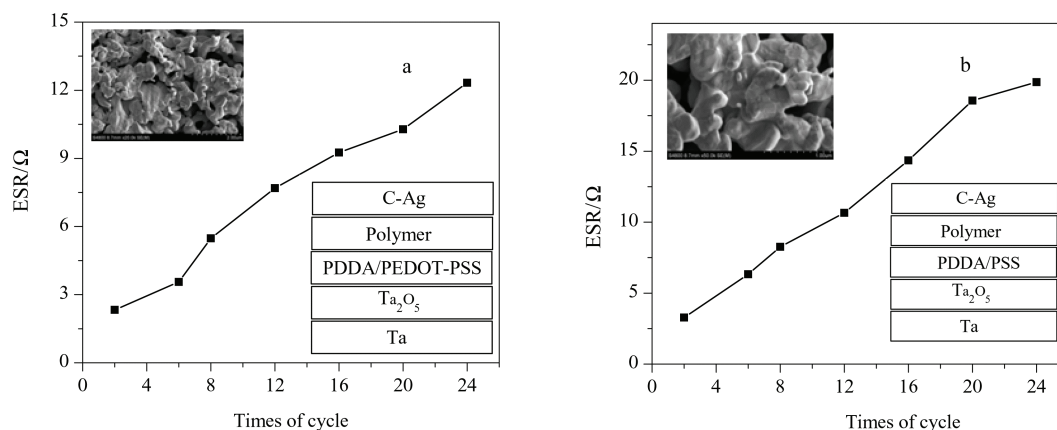


图 6 沉积不同层数自组装超薄膜对多孔状 Ta₂O₅ 电容等效串联电阻的影响(附图为沉积了 10 层不同自组装膜后的 SEM 图)

Figure 6 The influence of film layers on ESR of porous capacitor structure (the inset figure exhibit the morphology of Ta₂O₅ covered with 10 layers different ESA film)

Ta_2O_5 介质膜在形成的过程中, 由于微量的杂质及缺陷导致薄膜中会形成漏电流通道, 从而大大降低介质氧化膜的耐压能力. 采用自组装超薄膜修饰 Ta_2O_5 介质膜, 可以有效地隔离介质膜中的导电通道, 改善氧化膜的承受电压能力, 减小漏电流. 因此, 我们研究了不同自组装超薄膜修饰的 Ta_2O_5 电容结构的电流(I)-电压(V)特性. 图 7 为沉积了不同层数自组装膜的片状电容结构的耐压及漏电流特性曲线. 由图可见, 两种自组装膜可以有效地提高介质氧化膜的耐压能力, 降低电容的漏电流. 对于 PDDA/PSS 薄膜, 随成膜次数的增加电容结构的漏电流越小, 介质氧化膜的耐压能力越强. 这是由于 PDDA/PSS 膜的导电能力较弱, 膜越厚对介质氧化膜表面的绝缘修饰能力越强^[14]. 而对于 PDDA/PEDOT-PSS 复合超薄膜, 随层数的增加薄膜对电容结构耐压特性的影响变化不大, 这可能是由于 PDDA/PEDOT-PSS 膜具

有较好的导电性能, 在薄膜厚度变化不明显的情況下, 电阻特性的变化对电容的耐压特性影响较小.

图 8 为两种自组装超薄膜对多孔状电容结构耐压及漏电流特性的影响. 由图可见, 两种薄膜仍然可以提高多孔状电容结构的耐压能力, 降低电容的漏电流. 但是我们发现自组装膜对于多孔结构漏电流的抑制不如平面结构有效, 薄膜厚度的变化对电容漏电流影响也不如片状结构明显, 在 15~20 V 电压范围内电容仍然有较大的漏电流. 这可能是由于多孔结构中尤其是多孔内部受限空间内介质氧化膜的表面状态比较复杂, 在表面进行静电自组装并获得致密的超薄膜较为困难, 如果多孔内部介质氧化膜表面的超薄膜不连续、致密, 将不能有效隔离 Ta_2O_5 介质氧化膜中的缺陷, 使得超薄膜对 Ta_2O_5 电容漏电流的抑制作用被削弱.

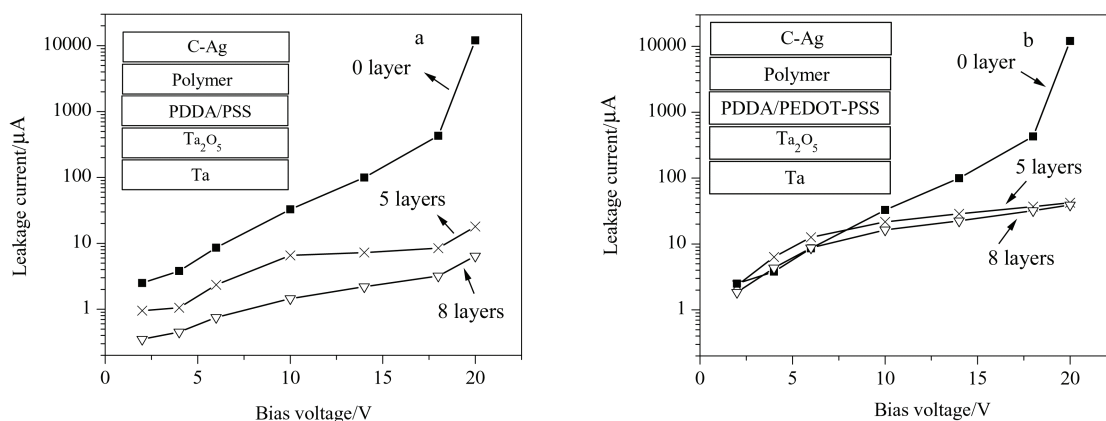


图 7 不同自组装超薄膜及层数对 Ta_2O_5 电容结构 I - V 特性影响

Figure 7 The influence of ESA film and layers on current (I)-voltage (V) relationship of Ta_2O_5 capacitor structure

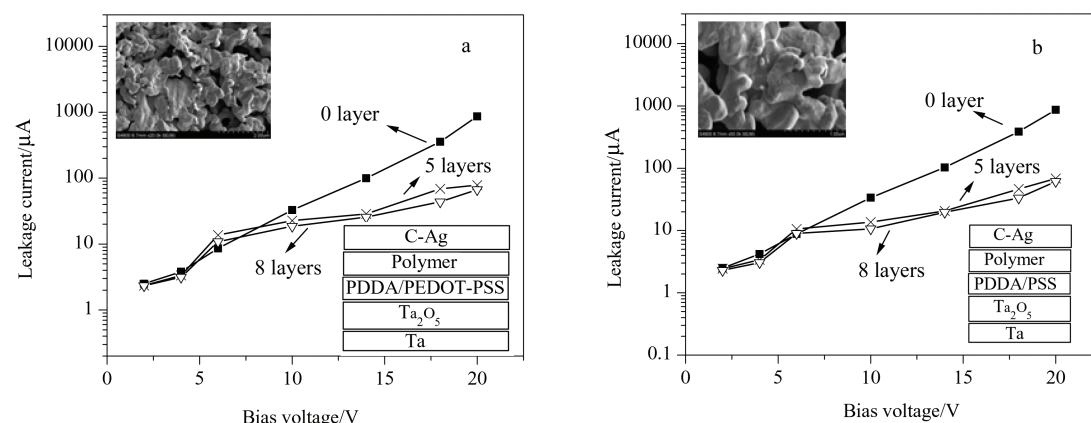


图 8 不同自组装超薄膜及层数对多孔状 Ta_2O_5 电容结构 I - V 特性影响(附图为沉积了 10 层不同自组装膜后的 SEM 图)

Figure 8 The influence of ESA film and layers on current (I)-voltage (V) relationship of porous Ta_2O_5 capacitor structure (the inset figure exhibit the morphology of Ta_2O_5 covered with 10 layers different ESA film)

另外在图 7, 8 中不同层数超薄膜修饰 Ta₂O₅ 介质膜后, 电容结构均表现出漏电流先快速增加再缓慢增加的过程, 而这一变化趋势与薄膜的厚度无关, 表明不同厚度的自组装超薄膜对介质氧化膜表面均起到了有效的修饰作用. 当施加一定电压初期, Ta₂O₅ 介质氧化膜中缺陷形成导电通道使得漏电流较快的增加, 当漏电流逐步增大后, 绝缘电阻大的缺陷位置产生大量的热, 使得该位置处的自组装薄膜挥发形成小的孔洞. 这些孔洞有效地隔离了介质氧化膜中的导电通道, 使得漏电流随外加电压升高过快增长的趋势被遏制(如图 9 所示). 随着导电通道被阻断, 薄膜中缺陷处的漏电流逐渐减小, 但电压的进一步增加导致 Ta₂O₅ 介质氧化膜本征载流子形成的漏电流逐渐增加, 从而使得电容整体漏电流增加并趋于稳定^[14].

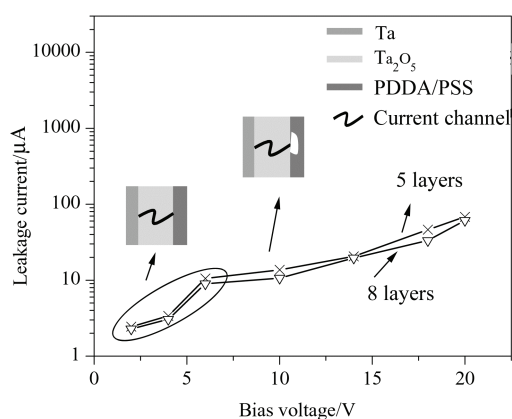


图 9 PDDA/PSS 超薄膜修饰的 Ta₂O₅ 电容 I - V 特性

Figure 9 A schematic illustration of current (I)-voltage (V) relationship of Ta₂O₅ capacitor structure with PDDA/PSS film surface modification

3 结论

两种静电自组装膜均可以有效地在 Ta₂O₅ 介质膜表面进行组装, 对片状或多孔状的介质氧化膜表面进行修饰. 沉积于介质氧化膜上的 PDDA/PSS 超薄膜具有较弱

的导电性能, 这是由于进行交替成膜的两种聚合物导电性较差. PDDA/PSS 薄膜对 Ta₂O₅ 电容的 ESR 影响较大, ESR 随成膜次数的增加变化明显. PDDA/PEDOT-PSS 超薄膜具有较好的导电性能, 薄膜的成膜次数对电容 ESR 值影响不大; 两种静电自组装膜均可以提高电容的耐压能力并降低漏电流, 这是由于静电自组装膜对介质氧化膜进行表面修饰后, 隔离了介质氧化膜中的导电通道. 进一步研究表明静电自组装膜对片状结构电容耐压能力影响比多孔状电容结构明显, 这与 Ta₂O₅ 多孔受限空间内介质氧化膜复杂的表面状态有关.

References

- 1 Yan, D. Y.; Zhou, Y. F.; Hou, J. *Science* **2004**, *303*, 65.
- 2 Velikov, K. P.; Christova, C. G.; Dullens, R. A.; Blaaderen, A. V. *Science* **2002**, *296*, 106.
- 3 Huang, Y.; Duan, X. F.; Wei, Q. Q.; Liber, C. M. *Science* **2001**, *291*, 630.
- 4 Zhang, X.; Sheng, J. C. *Adv. Mater.* **1999**, *11*, 1139.
- 5 Capito, R. M.; Azevedo, H. S.; Velichko, Y. S.; Mata, A.; Stupp, S. I. *Science* **2008**, *319*, 1812.
- 6 Whitesides, G. M.; Grzybowski, B. *Science* **2002**, *295*, 2418.
- 7 Peter, K. H. H.; Kim, J. S.; Burroughes, J. H.; Becker, H.; Li, S. F. Y.; Brown, T. M.; Cacialli, F.; Friend, R. H. *Nature* **2000**, *404*, 481.
- 8 Mamedov, A. A.; Kotov, N. A.; Prato, M.; Guldi, D. M.; Wicksted, J. P.; Hirsch, A. *Nature Materials* **2002**, *1*, 190.
- 9 Qin, Q. Z.; Fu, Z. W. *Adv. Mater.* **1999**, *11*, 1119.
- 10 Atanassova, E.; Spassov, D.; Paskaleva, A. *Microelectron. Eng.* **2006**, *83*, 1918.
- 11 Kim, S. D. *Curr. Appl. Phys.* **2007**, *7*, 124.
- 12 Liu, C. H.; Chang, S. J.; Chen, J. F.; Chen, S. C.; Lee, J. S.; Liaw, U. H. *Mater. Sci. Eng. B* **2004**, *106*, 234.
- 13 Atanassova, E.; Georgieva, M.; Spassov, D.; Paskaleva, A. *Microelectron. Eng.* **2010**, *87*, 668.
- 14 Grey, I. E.; Mumme, W. G.; Roth, S. J. *Solid State Chem.* **2005**, *178*, 3308.

(A1107195 Zhao, X.)